

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-083613

(43)Date of publication of application : 31.03.1998

(51)Int.Cl. 611B 19/02
// 611B 7/00

(21)Application number : 09-152091

(71)Applicant : CIRRUS LOGIC INC

(22)Date of filing : 10.06.1997

(72)Inventor : KATO KESUKE

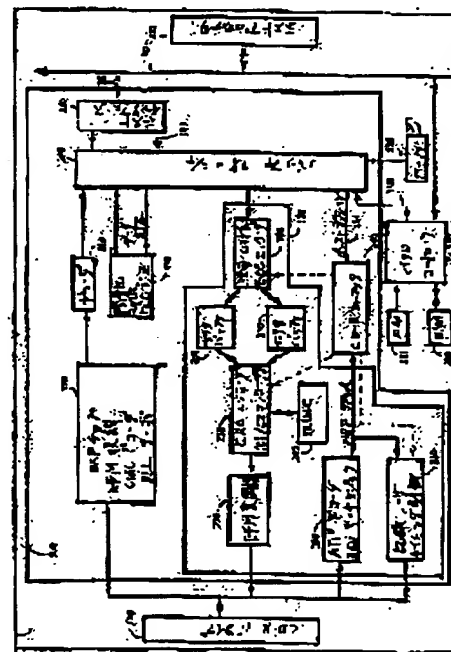
(30)Priority

Priority number : 96 663391 Priority date : 13.06.1996 Priority country : US

(54) METHOD FOR RECORDING SIGNAL FOR SETTING SIGNAL DATA IN CONTROLLER FOR RECORDABLE COMPACT DISK, COMPUTER SYSTEM AND CD-R DISK

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a CD-R controller having a sufficient throughput performance and capable of generating a control signal at sufficient speed.
SOLUTION: The CD-R controller is equipped with a buffer manager 350 to receive a command like a queue sheet, and this command is sent to a microcontroller 390. A plurality of instructions corresponding to their respective commands are generated by the microcontroller 390 using information stored in a ROM 391. These instructions are stored in a buffer by the buffer manager 350, and afterward, these instructions are sent to a CD-R formatter 340. Subsequently, signal data corresponding to these instructions are sent to a recording circuit by the buffer manager 350. Control signals are generated from these instructions by the CD-R formatter 340 to the recording circuit. Recording signals to a CD-R drive 306 is generated in the recording circuit by these control signals. Signals for showing signal data are recorded by the CD-R drive 306 in response to these recording signals.



LEGAL STATUS

[Date of request for examination] 30.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

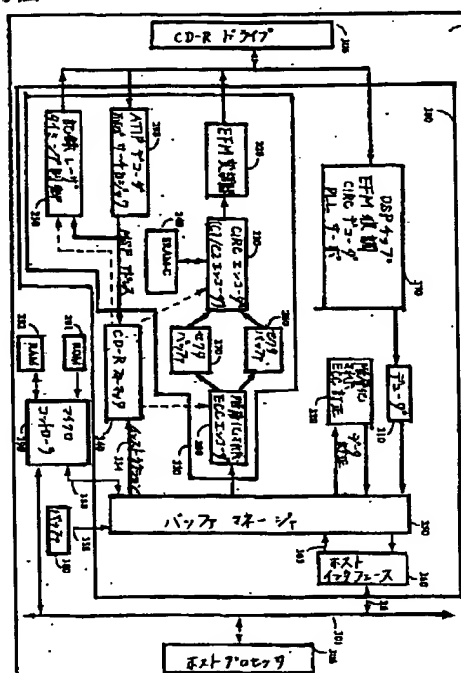
[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成10年(1998)3月31日

N



【特許請求の範囲】

【請求項1】 コンピュータシステムに用いられ、CD-Rディスク上に信号データのセットを表す信号を記録する、記録可能なコンパクトディスク用のコントローラであって、

該コンピュータシステムに含まれるホストプロセッサから該信号データセットおよびコマンドを受け取る、ホストインタフェース回路と、

該ホストインタフェース回路に結合され、該コンピュータシステムに含まれるマイクロコントローラに該コマンドを送る、バッファマネージャであって、該マイクロコントローラが該コマンドに対応するインストラクションのセットを発生する、バッファマネージャと、

該CD-Rディスク上に、該信号データセットを表す該信号を記録するための記録信号のセットを発生する、記録回路と、

該記録回路および該マイクロコントローラに結合され、該インストラクションのセットのそれぞれから制御信号のセットを発生する、フォーマッタ回路であって、該制御信号セットが、該記録回路に該記録信号セットを発生させる、フォーマッタ回路と、を備えている、記録可能なコンパクトディスク用のコントローラ。

【請求項2】 前記コンピュータシステムがバッファを備えており、

該バッファが前記バッファマネージャに結合されており、

該バッファマネージャが、前記マイクロコントローラから前記インストラクションセットを受け取って、該インストラクションセットを該バッファに格納し、かつ、前記フォーマッタ回路が、該インストラクションを該バッファから受け取った後に前記制御信号セットを発生する、請求項1に記載の記録可能なコンパクトディスク用のコントローラ。

【請求項3】 前記コマンドがキューシートを含んでいる、請求項2に記載の記録可能なコンパクトディスク用のコントローラ。

【請求項4】 前記記録回路が、前記フォーマッタ回路に結合されたATIPデコーダおよびサーチャロジックを備えており、

該ATIPデコーダおよびサーチャロジックが、前記CD-Rディスク上のセクタのアドレスを発生し、

該フォーマッタ回路が、該アドレスを用いて前記信号を該セクタ上に記録する、請求項1に記載の記録可能なコンパクトディスク用のコントローラ。

【請求項5】 前記記録回路が、

前記信号データをC1/C2フォーマットで符号化することによって、符号化されたデータを発生する、エンコーダ回路と、

該符号化されたデータを8:14モードフォーマットに変調する、変調器と、をさらに備えている、請求項4に

記載の記録可能なコンパクトディスク用のコントローラ。

【請求項6】 前記コンピュータシステムが前記バッファマネージャに結合されたバッファを備えており、該バッファマネージャが、前記マイクロコントローラから前記インストラクションセットを受け取って、該インストラクションセットを該バッファに格納し、

前記フォーマッタ回路が、該インストラクションを該バッファから受け取った後に前記制御信号セットを発生し、かつ、

該インストラクションがキューシートインストラクションを含んでいる、請求項5に記載の記録可能なコンパクトディスク用のコントローラ。

【請求項7】 前記CD-Rディスク上に記録された前記信号を復調することによって復調されたデータを発生する、デジタル信号処理(DSP)回路であって、該復調されたデータを復号化することによって前記信号データを発生する、DSP回路と、

所定の誤り訂正符号に従って該信号データにおける誤りを訂正する、訂正回路と、をさらに備えている、請求項6に記載の記録可能なコンパクトディスク用のコントローラ。

【請求項8】 コマンドに従ってCD-Rディスク上に信号データのセットを表す信号を記録する、コンピュータシステムであって、

該信号データセットを送る、ホストプロセッサと、

該CD-Rディスクを収容する、CD-Rドライブと、該コマンドからインストラクションのセットを発生する、マイクロコントローラと、

該インストラクションを格納する、バッファと、制御信号のセットを発生することによって、該CD-Rドライブに、該信号を該CD-Rディスク上へと記録させ、該信号データセットおよび該コマンドを該ホストプロセッサから受け取り、該コマンドに従って該信号を記録する、記録可能なコンパクトディスク用のコントローラであって、

該信号データセットおよび該コマンドを該ホストプロセッサから受け取る、ホストインタフェース回路、該ホストインタフェース回路に結合され、該マイクロコントローラに該コマンドを送る、バッファマネージャであって、該マイクロコントローラが該コマンドに対応するインストラクションのセットを発生する、バッファマネージャ、

該CD-Rドライブに結合され、該記録信号のセットを発生する、記録回路、および該記録回路に結合され、該インストラクションのセットのそれぞれから該制御信号のセットを発生する、フォーマッタ回路であって、該制御信号セットが、該記録回路に該記録信号セットを発生させる、フォーマッタ回路を有する、記録可能なコンパクトディスク用のコントローラと、を備えているコンピ

ユータシステム。

【請求項 9】 前記コンピュータシステムがバッファを備えており、

該バッファが前記バッファマネージャに結合されており、

該バッファマネージャが、前記マイクロコントローラから前記インストラクションセットを受け取って、該インストラクションセットを該バッファに格納し、かつ、前記フォーマッタ回路が、該インストラクションを該バッファから受け取った後に前記制御信号セットを発生する、請求項 8 に記載のコンピュータシステム。

【請求項 10】 前記コマンドがキューシートを含んでいる、請求項 9 に記載のコンピュータシステム。

【請求項 11】 前記記録回路が、前記フォーマッタ回路に結合された A T I P デコーダおよびサーチロジックを備えており、

該 A T I P デコーダおよびサーチロジックが、前記 C D - R ディスク上のセクタのアドレスを発生し、

該フォーマッタ回路が、該アドレスを用いて前記信号を該セクタ上に記録する、請求項 8 に記載のコンピュータシステム。

【請求項 12】 前記記録回路が、

前記信号データを C 1 / C 2 フォーマットで符号化することによって、符号化されたデータを発生する、エンコーダ回路と、

該符号化されたデータを 8 : 1 4 モードフォーマットに変調する、変調器と、をさらに備えている、請求項 11 に記載のコンピュータシステム。

【請求項 13】 前記 C D - R ディスク上に記録された前記信号を復調することによって復調されたデータを発生する、ディジタル信号処理 (D S P) 回路であって、該復調されたデータを復号化することによって前記信号データを発生する、 D S P 回路と、

所定の誤り訂正符号に従って該信号データにおける誤りを訂正する、訂正回路と、をさらに備えている、請求項 8 に記載のコンピュータシステム。

【請求項 14】 C D - R ドライブ内に配置された C D - R ディスク上に信号データのセットを表す信号を記録する方法であって、

該信号データセットおよびコマンドを、ホストプロセッサから受け取るステップと、

該コマンドをマイクロコントローラに送るステップと、

該マイクロコントローラにおいて該コマンドに対応するインストラクションのセットを発生するステップと、

該インストラクションのセットをフォーマッタに送るステップと、

該フォーマッタにおいて該インストラクションセットのそれぞれから制御信号のセットを発生するステップと、該制御信号セットを記録回路に送るステップであって、該制御信号セットが、該記録回路に記録信号のセットを

発生させる、ステップと、

該記録信号を該 C D - R ドライブに結合するステップであって、該記録信号が、該 C D - R ドライブに該信号を該 C D - R ディスク上へと記録させる、ステップと、を含む方法。

【請求項 15】 前記インストラクションセットをバッファに格納するステップをさらに含む方法であって、該バッファに格納された該インストラクションセットが、前記フォーマッタにおいて請求項 1 に記載の制御信号セットを発生する前記ステップに与えられる、請求項 14 に記載の方法。

【請求項 16】 A T I P デコーダおよびサーチロジックにおいてアドレスを発生するステップであって、該アドレスが前記 C D - R ディスクのセクタに対応している、ステップと、

該アドレスを、前記フォーマッタにおいて発生する前記ステップに供給するステップであって、該フォーマッタにおいて発生する該ステップが、前記信号を該アドレスに記録させる制御信号を発生する、ステップと、をさらに含む、請求項 15 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、広くは、コンピュータシステムに用いられる C D - R (記録可能なコンパクトディスク) 用のコントローラに関する。より具体的には、本発明は、信号データを表す信号を C D - R ディスク上に記録するための、改善された方法および装置に関する。

【0002】

【従来の技術】 コンピュータシステムは、マルチメディア信号を記録可能なコンパクトディスク (C D - R) 上に記録するための C D - R ドライブを備えていることがある。このようなマルチメディア信号には、例えば、オーディオ信号や、ビデオ信号や、グラフィックス信号や、データ信号などが含まれており、オーディオ、ビデオ、グラフィックスあるいはデータ信号の組み合わせも含まれている。図 1 は、 C D - R ドライブ 140 を備えたこのようなコンピュータシステム 100 の一例を示すブロック図である。ホストプロセッサ 110 は、例えばペンティアム™のような中央処理ユニットであればよい。ホストプロセッサ 110 は、バス 112 を介して、信号データとして符号化されたマルチメディア信号を送ることができる。バス 112 は、例えば、 P C I バスであればよい。ホストプロセッサ 110 は、また、信号を記録するのに必要とされる情報を指定するコマンドを送ることもできる。

【0003】 C D - R コントローラ 130 は、信号データおよびコマンドをホストプロセッサ 110 から受け取り (図 4 のステップ 410)、 C D - R バス 134 上に記録信号を発生することによって、 C D - R ディスク上

に信号データを表す信号を記録する。このようなコマンドとしては、例えば、業界では「キューシート」として知られているものが挙げられる。

【0004】CD-Rコントローラ130は、コマンドをマイクロコントローラ160に送る。すると、マイクロコントローラ160は、これに回答して制御信号のセットを発生することによって、CD-Rコントローラ130に、信号データを表す信号をCD-Rディスク上に記録させる。CD-Rコントローラ130は、バッファ170に、ホストプロセッサ110から受け取った信号データを格納する。マイクロコントローラ160により発生された制御信号に回答して、CD-Rコントローラ130は、バッファ170から信号データを取り出し、記録信号を発生することによって、信号データを表す信号を、CD-Rドライブ140に配置されたCD-Rディスク上に記録する。

【0005】このような制御信号を発生するために、マイクロコントローラ160は、それぞれのコマンドに対応するテーブルを生成し（図4のステップ420）、そのテーブルから制御信号を発生する。ROM150は、このようなテーブルを生成するのに用いられた情報を格納する。よって、マイクロコントローラ160は、ROM150にアクセスすることによって、コマンドに対応するテーブルを生成することができる。テーブルは、記録動作のあいだにいくつかのセクタ上で信号データを符号化するのに必要な情報を含みうる。

【0006】従来の技術では、マイクロコントローラ160は、RAM180に、各コマンドに対応して生成されたテーブルを格納する（図4のステップ430）。すると、マイクロコントローラ160は、RAM180からこのようなテーブルにアクセスし、そのテーブル内の情報を用いてCD-Rコントローラ130に制御信号を発生する（図4のステップ440）。このようなアクセスのためには、マイクロコントローラ160は、RAM180にアクセスして、各セクタ上に信号データを記録するための制御信号を発生してもよい。

【0007】

【発明が解決しようとする課題】このような従来の技術によるコンピュータシステム100には、今日のコンピュータシステムに求められる高速記録という要求を満たすのに十分なスループットパフォーマンスがマイクロコントローラ160にはないという問題がある。マイクロコントローラ160のスループットパフォーマンスは、テーブル内の情報にアクセスするためにマイクロコントローラ160がRAM180に対しておこなうアクセスの回数が多いことが原因で十分ではなくなる可能性がある。

【0008】マイクロコンピュータ160のスループットパフォーマンスの問題は、マイクロコンピュータ160には、CD-Rディスクにアクセスする時のサーボ機

能のようなその他いくつかの機能があるために、一層深刻になる。このようなその他の機能により、マイクロコントローラ160の時間のうちの数サイクルが費やされることがある。加えて、2つのセクタ上にデータを記録する間の時間間隔は、今日のコンピュータシステム100における高速CD-Rドライブ140ではさらに短くなっているため、マイクロコンピュータ160もまた、ますます高速なレートで制御信号を発生することが要求されるようになっている。

【0009】スループットパフォーマンスの問題、および、これに伴って、十分な速度で制御信号を発生することができないという問題があるために、マイクロコントローラ160には、信号データがCD-Rコントローラ130により受け取られる時のレートに対応するレートで制御信号を発生することができないことがある。この能力が欠けていることが原因で、CD-Rコントローラ130には、CD-Rドライブ140内に配置されたCD-Rディスク上に信号データの一部を記録しそこなうこともある。この技術ではよく理解されているように、CD-Rディスク上でリライトする（つまり、信号データを記録しそこなった部分に戻る）ことは、さまざまな技術的制約により不可能である。よって、そのような場合、記録された信号の品質は、受け入れがたいものになってしまう。

【0010】本発明は、上記課題を解決するためになされたものであり、その目的は、十分なスループットパフォーマンスをもち、十分な速度で制御信号を発生することができるCD-Rコントローラを提供することにある。

【0011】

【課題を解決するための手段】本発明による記録可能なコンパクトディスク用のコントローラは、コンピュータシステムに用いられ、CD-Rディスク上に信号データのセットを表す信号を記録する、記録可能なコンパクトディスク用のコントローラであって、該コンピュータシステムに含まれるホストプロセッサから該信号データセットおよびコマンドを受け取る、ホストインタフェース回路と、該ホストインタフェース回路に結合され、該コンピュータシステムに含まれるマイクロコントローラに該コマンドを送る、バッファマネージャであって、該マイクロコントローラが該コマンドに対応するインストラクションのセットを発生する、バッファマネージャと、該CD-Rディスク上に、該信号データセットを表す該信号を記録するための記録信号のセットを発生する、記録回路と、該記録回路および該マイクロコントローラに結合され、該インストラクションのセットのそれぞれから制御信号のセットを発生する、フォーマッタ回路であって、該制御信号セットが、該記録回路に該記録信号セットを発生させる、フォーマッタ回路と、を備えており、そのことにより上記目的が達成される。

【0012】ある実施形態では、前記コンピュータシステムがバッファを備えており、該バッファが前記バッファマネージャに結合されており、該バッファマネージャが、前記マイクロコントローラから前記インストラクションセットを受け取って、該インストラクションセットを該バッファに格納し、かつ、前記フォーマッタ回路が、該インストラクションを該バッファから受け取った後に前記制御信号セットを発生する。

【0013】ある実施形態では、前記コマンドがキューシートを含んでいる。

【0014】ある実施形態では、前記記録回路が、前記フォーマッタ回路に結合されたATIPデコーダおよびサーチロジックを備えており、該ATIPデコーダおよびサーチロジックが、前記CD-Rディスク上のセクタのアドレスを発生し、該フォーマッタ回路が、該アドレスを用いて前記信号を該セクタ上に記録する。

【0015】ある実施形態では、前記記録回路が、前記信号データをC1/C2フォーマットで符号化することによって、符号化されたデータを発生する、エンコーダ回路と、該符号化されたデータを8:14モードフォーマットに変調する、変調器と、をさらに備えている。

【0016】ある実施形態では、前記コンピュータシステムが前記バッファマネージャに結合されたバッファを備えており、該バッファマネージャが、前記マイクロコントローラから前記インストラクションセットを受け取って、該インストラクションセットを該バッファに格納し、前記フォーマッタ回路が、該インストラクションを該バッファから受け取った後に前記制御信号セットを発生し、かつ、該インストラクションがキューシートインストラクションを含んでいる。

【0017】ある実施形態では、前記CD-Rディスク上に記録された前記信号を復調することによって復調されたデータを発生する、デジタル信号処理(DSP)回路であって、該復調されたデータを復号化することによって前記信号データを発生する、DSP回路と、所定の誤り訂正符号に従って該信号データにおける誤りを訂正する、訂正回路と、をさらに備えている。

【0018】本発明によるコンピュータシステムは、コマンドに従ってCD-Rディスク上に信号データのセットを表す信号を記録する、コンピュータシステムであって、該信号データセットを送る、ホストプロセッサと、該CD-Rディスクを収容する、CD-Rドライブと、該コマンドからインストラクションのセットを発生する、マイクロコントローラと、該インストラクションを格納する、バッファと、制御信号のセットを発生することによって、該CD-Rドライブに、該信号を該CD-Rディスク上へと記録させ、該信号データセットおよび該コマンドを該ホストプロセッサから受け取り、該コマンドに従って該信号を記録する、記録可能なコンパクトディスク用のコントローラであって、該信号データセッ

トおよび該コマンドを該ホストプロセッサから受け取る、ホストインタフェース回路、該ホストインタフェース回路に結合され、該マイクロコントローラに該コマンドを送る、バッファマネージャであって、該マイクロコントローラが該コマンドに対応するインストラクションのセットを発生する、バッファマネージャ、該CD-Rドライブに結合され、該記録信号のセットを発生する、記録回路、および該記録回路に結合され、該インストラクションのセットのそれぞれから該制御信号のセットを発生する、フォーマッタ回路であって、該制御信号セットが、該記録回路に該記録信号セットを発生させる、フォーマッタ回路を有する、記録可能なコンパクトディスク用のコントローラと、を備えており、そのことにより上記目的が達成される。

【0019】ある実施形態では、前記コンピュータシステムがバッファを備えており、該バッファが前記バッファマネージャに結合されており、該バッファマネージャが、前記マイクロコントローラから前記インストラクションセットを受け取って、該インストラクションセットを該バッファに格納し、かつ、前記フォーマッタ回路が、該インストラクションを該バッファから受け取った後に前記制御信号セットを発生する。

【0020】ある実施形態では、前記コマンドがキューシートを含んでいる。

【0021】ある実施形態では、前記記録回路が、前記フォーマッタ回路に結合されたATIPデコーダおよびサーチロジックを備えており、該ATIPデコーダおよびサーチロジックが、前記CD-Rディスク上のセクタのアドレスを発生し、該フォーマッタ回路が、該アドレスを用いて前記信号を該セクタ上に記録する。

【0022】ある実施形態では、前記記録回路が、前記信号データをC1/C2フォーマットで符号化することによって、符号化されたデータを発生する、エンコーダ回路と、該符号化されたデータを8:14モードフォーマットに変調する、変調器と、をさらに備えている。

【0023】ある実施形態では、前記CD-Rディスク上に記録された前記信号を復調することによって復調されたデータを発生する、デジタル信号処理(DSP)回路であって、該復調されたデータを復号化することによって前記信号データを発生する、DSP回路と、所定の誤り訂正符号に従って該信号データにおける誤りを訂正する、訂正回路と、をさらに備えている。

【0024】本発明によるCD-Rドライブ内に配置されたCD-Rディスク上に信号データのセットを表す信号を記録する方法は、該信号データセットおよびコマンドを、ホストプロセッサから受け取るステップと、該コマンドをマイクロコントローラに送るステップと、該マイクロコントローラにおいて該コマンドに対応するインストラクションのセットを発生するステップと、該インストラクションのセットをフォーマッタに送るステップ

と、該フォーマッタにおいて該インストラクションセットのそれぞれから制御信号のセットを発生するステップと、該制御信号セットを記録回路に送るステップであって、該制御信号セットが、該記録回路に記録信号のセットを発生させる、ステップと、該記録信号を該CD-Rドライブに結合するステップであって、該記録信号が、該CD-Rドライブに該信号を該CD-Rディスク上へと記録させる、ステップと、を含んでおり、そのことにより上記目的が達成される。

【0025】ある実施形態では、前記インストラクションセットをバッファに格納するステップをさらに含む方法であって、該バッファに格納された該インストラクションセットが、前記フォーマッタにおいて請求項1に記載の制御信号セットを発生する前記ステップに与えられる。

【0026】ある実施形態では、ATIPデコーダおよびサーチロジックにおいてアドレスを発生するステップであって、該アドレスが前記CD-Rディスクのセクタに対応している、ステップと、該アドレスを、前記フォーマッタにおいて発生する前記ステップに供給するステップであって、該フォーマッタにおいて発生する該ステップが、前記信号を該アドレスに記録させる制御信号を発生する、ステップと、をさらに含む。

【0027】以下に作用を説明する。

【0028】本発明は、コンピュータシステムに用いられるCD-Rコントローラのかたちで実施されるものとして説明される。本発明によるCD-Rコントローラは、ホストプロセッサから受け取られた信号データのセットを表す信号をCD-Rディスク上に記録するための記録信号を発生する。このCD-Rコントローラは、ホストプロセッサから信号データのセットとコマンドとを受け取るためのホストインタフェース回路を備えている。バッファマネージャは、ホストインタフェース回路からの信号データおよびコマンドを受け取り、そのコマンドをマイクロコントローラに送る。

【0029】マイクロコントローラは、そのコマンドに対応するインストラクションのセットを発生し、それらのインストラクションをバッファマネージャに送る。CD-Rコントローラは、さらに、CD-Rディスク上に信号データを表す信号を記録するための記録信号のセットを発生する記録回路を備えていてもよい。

【0030】本発明のフォーマッタ回路は、インストラクションのセットのそれぞれから制御信号のセットを発生する。この制御信号のセットは、記録回路に、記録信号のセットを発生させる。CD-Rコントローラにおけるフォーマッタ回路がこれらの制御信号を発生するので、マイクロコントローラにおけるパフォーマンス上の欠陥が、信号の記録に悪影響を与えることはなくなる。

【0031】このコンピュータシステムは、バッファマネージャに結合されたバッファをさらに備えていてもよ

い。バッファマネージャは、インストラクションのセットをマイクロコントローラから受け取り、そのインストラクションセットをバッファに格納する。その後、フォーマッタは、バッファからそれらのインストラクションを受け取り、制御信号のセットを発生する。本発明におけるコマンドは、キューシートを含みうる。

【0032】本発明によるCD-Rコントローラは、フォーマッタ回路に結合されたATIPデコーダおよびサーチロジックをさらに備えていてもよい。ATIPデコーダおよびサーチロジックは、CD-Rディスク上のセクタアドレスを発生する。フォーマッタはこのアドレスを用いて、信号をそのアドレスに記録し、そのセクタに記録する。

【0033】CD-Rコントローラは、さらに、信号データをC1/C2フォーマットで符号化することによって、符号化されたデータを発生するエンコーダ回路を備えていてもよい。変調器は、符号化されたデータを8:14モードのフォーマットに変調する。

【0034】CD-Rコントローラは、さらに、CD-Rディスク上に記録された信号を復調することによって、復調されたデータを発生するデジタル信号処理(DSP)回路を備えていてもよい。このDSP回路は、復調されたデータを復号化することによって、信号データを発生する。訂正回路は、所定の誤り訂正符号に従って信号データにおける誤りを訂正する。

【0035】

【発明の実施の形態】図2を参照すると、本発明によるコンピュータシステム200は、コマンド(例えばキューシート)に対応するインストラクションのセットを発生し、バス359を介してそれらのインストラクションを記録可能なコンパクトディスク(CD-R)用のコントローラ300に送るマイクロコントローラ390を備えている。CD-Rコントローラ300は、このようなインストラクションをバッファ380にバッファリングする。マイクロコントローラ390は、CD-Rフォーマッタ340を起動させる。すると、CD-Rフォーマッタ340は、これらのインストラクションに対するリクエストをバッファマネージャ350に発生する。これに応答して、バッファマネージャ350は、インストラクションのストリームを途切れなくCD-Rフォーマッタ340に送る。すると、CD-Rフォーマッタ340は、これらのインストラクションから制御信号をCD-Rドライブ306へと発生する。これらの制御信号は、CD-Rドライブ306に、信号データを表す信号をCD-Rディスク上に記録させる。

【0036】CD-Rフォーマッタ340は、記録動作の制御信号を発生するので、図1に示す従来の技術によるコンピュータシステム100とは異なり、マイクロコントローラ390はパフォーマンス上の障害にはならない。本発明によるCD-Rコントローラ300のスル

ーブットパフォーマンスは、これに伴って改善される。その結果、CD-Rコントローラ300には、マイクロコントローラ390におけるパフォーマンス上の障害が原因で信号データを記録しそこなうことがなくなる。

【0037】次に、図2および図5を参照すると、CD-Rコントローラ300は、図5に示すフローチャートに従って記録機能を果たすことができる。CD-Rコントローラ300は、バッファマネージャ350からインストラクションのセットを受け取り、記録回路330に対して制御信号を発生するCD-Rフォーマッタ340を備えている。これらの制御信号は、記録回路330に、CD-Rドライブ306内に配置されたCD-Rディスク上に信号を記録させる。マイクロコントローラ390は記録回路330に対して制御信号を発生しないので、たとえマイクロコントローラ390にパフォーマンス上の障害があったとしても、CD-Rコントローラ300のスループットパフォーマンスはその悪影響を被ることがない。

【0038】ホストインタフェース360は、ステップ510において、バス361を介してホストプロセッサ305から信号データおよびコマンドを受け取る。バス361および301としては、例えばシステムバス、周辺バスのようないくつかのバスが挙げられる。受け取られたコマンドには、例えば、従来の技術と同様のキューシートが含まれている。ホストインタフェース360は、バス361を介してコマンドおよびデータを受け取るに当たって、小型コンピュータシステムインタフェース(SCSI)やATAPIのような従来の規格を用いることができる。ホストインタフェース360は、バス365を介して信号データおよびコマンドを送る。

【0039】バッファマネージャ350は、バス365を介してコマンドおよび信号データを受け取り、受け取った信号データをバス358を介してバッファ380に格納する。本発明によるバッファマネージャ350は、さらに、ステップ520において、バス359を介してコマンドをマイクロコントローラ390に送ることができる。ステップ530では、マイクロコントローラ390は、ROM391の内容にアクセスすることによって、それぞれのコマンドからインストラクションセットを発生する。

【0040】しかし、本発明によるマイクロコントローラ390は、ステップ540において、発生したインストラクションをバッファマネージャ350に送ることができる。よって、本発明によるマイクロコントローラ390は、従来の技術のようにすべての制御信号をCD-Rコントローラ300に対して発生するのではなく、インストラクションをバッファマネージャ350に送るだけである。マイクロコントローラ390はこのような制御信号を発生するので、マイクロコントローラ390は、従来の技術とは異なり、もはやコンピュータシステ

ム100におけるパフォーマンス上の障害ではなくなる。

【0041】バッファマネージャ350は、マイクロコントローラ390からインストラクションを受け取り、ステップ550において、受け取ったインストラクションをバッファ380に格納する。その後、バッファマネージャ350は、インストラクションをバッファ380から取り出し、ステップ560において、それらのインストラクションをCD-Rフォーマッタ340に送る。また、バッファマネージャ350は、信号データをバッファ380から取り出し、その信号データを記録回路330に送る。

【0042】バッファ380としては、16メガバイト以下の容量をもつDRAMが挙げられる。好ましい実施の形態では、バッファ380は1メガバイトDRAMである。バッファ380は、インストラクションおよび信号データを格納する。バッファマネージャ350は、バッファ380においてコマンドおよび信号データがそれぞれ格納されているメモリ位置を識別するための内部レジスタを備えていてもよい。バッファマネージャ350は、このようなレジスタに格納されたデータを用いることによって、インストラクションおよび信号データを格納し、リードする。

【0043】ステップ570では、CD-Rフォーマッタ340は、バッファマネージャ350から受け取ったインストラクションから記録回路330に対する制御信号を発生する。このような制御信号は、信号データを表す信号を記録回路330に記録させる。CD-Rフォーマッタ340は、バス254を介してセクタのアドレスを受け取る。また、CD-Rフォーマッタ340は、これに伴って、信号データを対応するセクタにライトする制御信号を発生する。

【0044】CD-Rフォーマッタ340は、バーストのかたちでいくつかのインストラクションをバッファマネージャ350から受け取ることができる。よって、信号データがエンコーダ280により受け取られる時に合わせて制御信号を発生することができる。バス358は、バッファ380と、バッファマネージャ350との間の高速インタフェースになるので、バッファマネージャ350は、インストラクションを十分に高いレートでCD-Rフォーマッタ340に与えることができる。好ましい実施の形態では、CD-Rコントローラ300と、マイクロコントローラ390と、RAM392と、ROM391と、CD-Rドライブ306と、バッファ380とは、CD-Rドライブシステムと称される単一のユニットに一体化される。

【0045】さらに図2を参照すると、好ましい実施の形態による記録回路330は、階層化されたECC(誤り訂正符号)エンコーダ280と、セクタバッファ270および260と、CIRCエンコーダ230と、EF

M変調器220と、ATIPデコーダおよびサーチロジック290と、記録レーザタイミング制御250とを含んでいる。しかし、記録回路330は、本発明の範囲および精神から離れることなく、代わりにいくつかの形態でも実施可能であることは理解されたい。

【0046】階層化されたECCエンコーダ280は、CD-Rフォーマッタ340により指定されたフォーマットに従って信号データを符号化することによって、CD-Rディスクのセクタに格納されるデータ（以下、「セクタデータ」と称する）を発生する。このフォーマットは、CD-Rフォーマッタ340により受け取られたインストラクションにより指定されうる。このフォーマットは、すべてこの技術ではよく知られているイエローブックフォーマット、レッドブックフォーマット、グリーンブックフォーマット、およびオレンジブックフォーマットのうちのいずれか1つであればよい。このようなフォーマットは、コンピュータに典型的に存在する信号を符号化するために特別に設計されている。このようなフォーマットに関するさらなる情報は、Philips Consumer Electronics, 5600 MD Eindhoven、オランダおよび（株）ソニー（Sony Corporation）、日本国東京都品川区北品川6-7-35から得ることができる。

【0047】また、これらのフォーマットにより、対応する誤り訂正符号を指定することもできる。好ましい実施の形態では、階層化されたECCエンコーダ280は、階層化された誤り訂正符号化（ECC）スキームを用いる。このようなECCスキームは、要求されるエラーレート内で信号データを格納し、CD-Rディスクから取り出すことを可能にする。セクタバッファ260および270はそれぞれ、エンコーダ280が信号データを符号化するときのセクタデータをバッファリングするためのSRAMを備えている。

【0048】CIRCエンコーダ230は、階層化されたECCエンコーダ280により発生された出力データをデジタルオーディオデータに（例えば、レッドブックフォーマットで）符号化する。CIRCエンコーダ230は、CDのデジタルオーディオ技術とバックワードコンパチブル（backward compatible）であるような符号化をさらにおこなう。CIRCエンコーダ230は、オーディオデータを記録する際の誤り訂正符号に必要なバイトをさらに発生する。SRAM240は、CIRCエンコーダ230が階層化されたECCエンコーダ280により発生された出力データを符号化する時に、中間データを格納するバッファとして作用する。

【0049】好ましい実施の形態では、CIRCエンコーダ230は、この技術ではよく知られているC1/C2符号化スキーム（レッドブック）を用いる。C1/C2符号化は、信号データが、従来のオーディオCDにおいてオーディオデータを符号化するのに十分なエラーレートで再生されうるようにする。しかし、階層化された

ECCエンコーダ280において実施される階層化された符号化スキームは、より低いエラーレートでの信号再生をも可能にする。よって、このスキームは、コンピュータアプリケーションにも適用可能である。

【0050】変調器220は、CIRCエンコーダ230により符号化されたデータから8:14変調（EFM）データを発生する。変調器220は、また、CD-Rドライブ306内に配置されたCD-Rディスク上に信号を記録するためのクロック信号を発生する。CD-Rフォーマッタはまた、記録レーザタイミング制御回路250に対する制御信号も発生する。このような制御信号は、信号が記録されるべき期間のあいだ、CD-Rドライブ306内の記録レーザ回路をオンにすることができる。変調器220の動作は、記録レーザタイミング制御回路250の動作と関係させることができる。

【0051】本発明によるATIP（プリグループにおける絶対時間）デコーダおよびサーチロジック290は、CD-Rフォーマッタ340に、CD-Rディスク上のセクタのアドレス情報を与える。CD-Rには、従来のCD-ROMディスクとは異なりアドレス情報が記録されていないこともあるので、このようなアドレス情報がCD-Rディスクには必要になることもある。好ましい実施の形態では、コンピュータシステム100のユーザは、ターゲットセクタアドレスをプログラミングすることができる。

【0052】従来の技術では、マイクロコントローラ160は、このようなアドレス情報を受け取り、受け取ったその情報に基づいて制御信号を発生する。よって、本発明によるCD-Rフォーマッタ340は、さらに、マイクロコントローラ390からいくつかのタスクを軽減することができるので、マイクロコントローラ390が、コンピュータシステム200におけるパフォーマンス上の障害にならないようにすることができる。

【0053】本発明によるCD-Rコントローラ300は、さらに、DSP（デジタル信号処理）回路370と、デコーダ310と、CD-R（またはCD-ROM）ディスク上に記録された信号を復号化する階層化されたECC訂正器320を備えている。なお、CD-Rコントローラ300は、CD-ROM（またはオーディオ）フォーマットでCD-Rディスク上に信号データを記録するので、CD-RディスクからもCD-ROMディスクからも信号を復号化できることは理解されたい。

【0054】CD-Rディスク上の信号を復号化しているあいだ、DSP回路370は、例えばEFM変調や、CIRC復号化や、サーボ機能のようないくつかの機能を果たすことができる。当業者には理解できることであろうが、復調およびCIRC復号化は、それぞれ変調器220およびCIRCエンコーダ230の逆の機能である。ある実施の形態では、DSP回路370は、別のチップとしても実現可能である。

【0055】デコーダ310は、DSP回路370により発生された出力データを復号化することによって、信号データを発生する。階層化されたECC訂正器320は、階層化されたECCスキームを用いることによって復号化された信号データにおける誤りを訂正する。このような誤りは、記録または取り出しの間の信号データの記録、格納または転送の間にもたらされたものである。階層化されたECCエンコーダ280は、既に説明したような誤り訂正に必要な追加の情報をこれ以前に発生していてもよい。

【0056】よって、CD-Rコントローラ300は、信号データから信号を記録し、記録された信号から信号データを発生することができる。CD-Rフォーマッタ340は、インストラクションから、信号を記録するための記録回路330に対する制御信号を発生する。

【0057】図3は、本発明によるCD-Rコントローラ300により用いられるインストラクションフォーマットを説明するインストラクション600の図である。好ましい実施の形態では、それぞれのインストラクションは16バイトである。インストラクション600のバイト0および1（合計16ビット）は、インストラクション600に従って記録される信号データのセクタの個数を指定する。

【0058】CD-Rフォーマッタ340は、よって、インストラクション600から、信号データのセクタの個数に対する制御信号を発生することができる。よって、本発明によるCD-Rコントローラ300は、各セクタに対する制御信号の発生についてはマイクロコントローラ390に依存しない。その結果、マイクロコントローラ390にパフォーマンススループット上の制約があっても、CD-Rコントローラ300の記録スループットパフォーマンスの障害にはならない。

【0059】もしバイト2のビット7が0に設定されれば、インストラクション600は、このような数のセクタを指定するのに19ビットを用いることができる。外部レジスタによりさらに3ビットを供給することができる。バイト2のビット0～3は、CD-Rディスクのフォーマットを制御するのに用いることができる。このような制御機能には、インストラクション600に対応する最初のセクタまたは最後のセクタをフォーマットする間の割り込みの発生が含まれる。

【0060】バイト3は、CD-Rディスク上のメインチャネルの符号化を制御できる。ビット0～2は、セクタのタイプ（例えば、イエローブック、レッドブックなど）を指定するのに用いることができる。ビット4は、メインチャネルに対する信号データのソース（例えば、バッファ380は、所定のレジスタにより指し示されたメモリ位置においてスタートする）を指定できる。ビット5は、セクタヘッダ情報を別のレジスタからロードすべきか、または単に以前のセクタヘッダ情報をインクリ

メントすべきかを指定することができる。ビット6は、階層化されたECC符号化をイネーブルまたはディセーブルするのに用いることができる。このディセーブル機能は、テストを目的に設けられている。

【0061】バイト4および5は、CD-Rディスクのメインチャネルに対応する信号データの転送を制御することができる。バイト4における各ビットは、例えばシンクマークフィールド、ヘッダフィールド、サブヘッダフィールド、データフィールドおよびECCフィールドのような（セクタ内の）各種フィールドについてバッファ380からデータを取り出すべきかどうかを指定することができる。バイト5における対応するビットはそれぞれ、このようなフィールドにおけるデータをオーバーライトすべきかどうかを指定することができる。これらのフィールドは、固定されたパターンでオーバーライトされてもいいし、以前に指定されたレジスタからのデータでオーバーライトされてもいい。

【0062】バイト5におけるヘッダに対応するビットが1に設定されるのなら、バイト6は、ヘッダをオーバーライトするデータを供給しうる。バイト7および8は、サブコードの符号化を制御することができる。これらのビットは、例えば、サブコードデータ転送タイプ、サブQ符号化モード、サブP符号化モードのような情報を指定することができる。

【0063】バイト15は、4つのサブQ ID（0、1、2および3）の挿入を制御することができる。これらのIDには、例えば、国際シリアル記録符号（ISRC）や、カタログ番号や、ドライブIDコードや、著作権保護コードのような情報が含まれている。これらのビットは、対応するサブQ ID挿入がイネーブルされるかどうかを指定する。バイト11～14はそれぞれ、IDに対するサブQ IDインデックスを指定することができる。このインデックスは、サブQ IDに対するデータを格納しているバッファ380内のメモリ位置を計算するのに用いられうる。インストラクションフォーマットに関するより詳細な説明は、「SHARAKU CL-CR3560-改訂版A、SCSI CD-Rエンコーダ/デコーダ」と題された文献の第9章に述べられている。本願では、この文献の第9章を付録として添付する。

【0064】したがって、インストラクション600に含まれている情報を用いることによって、CD-Rフォーマッタ340は、記録回路330に対して制御信号を発生することができる。記録回路330は、これらの制御信号に従って信号データを符号化し、信号をCD-Rディスク上に記録する。このような信号は、ホストプロセッサ305から受け取られた信号データに対応する。CD-Rフォーマッタ340は、まず第一に記録回路330に対する制御信号を発生するように設計されうるので、CD-Rフォーマッタ340は、高いレートで受け

取られた信号データを記録するのに十分なほど高いレートで制御信号を発生することができる。よって、すべての信号データを記録することができるので、記録された信号の品質は、満足のいくものになりうる。

【0065】以上に本発明を詳細に説明し記載したが、以上の説明は単に一例を挙げることを目的としてなされたものであり、これに限定されることを意図しているものではないこと、つまり、本発明の範囲および精神は、添付の請求の範囲の用語によってのみ限定されるものであることは、明確に理解していただきたい。

【0066】(付録：写楽(SHARAKU) CL-CR3560-改訂版A SCSI CD-Rエンコーダ/デコーダ 予備仕様書 改訂版0.91 1996年3月18日)

9. フォーマッタインストラクション

9.1 フォーマッタインストラクションの記述

9.1.1 バイト0：ブロックカウンロー

ビット7：0 ブロックカウンロー：このバイトは、このインストラクションのブロックカウント(セクタ数)の下位バイト(ビット7～0)を含む。

【0067】9.1.2 バイト1：ブロックカウンハイ

ビット7：0 ブロックカウンハイ：このバイトは、このインストラクションのブロックカウント(セクタ数)の上位バイト(ビット15～8)を含む。

【0068】9.1.3 バイト2：インストラクション制御

ビット7 拡張・ブロックカウント：もしこのビットがリセットされれば、現在のインストラクションのブロックカウントは16ビット長となり、これは、フォーマッタインストラクションのバイト1および0からロードされる。もしこのビットがセットされれば、現在のインストラクションのブロックカウントは、19ビット長に拡張される。このインストラクションブロックカウント拡張(Reg DDH[2:0])は、この拡張されたブロックカウンタの上位3ビットとして用いられる。

【0069】ビット6：4 予約

ビット3 フォーマッタ割込み2：このビットがセットされたフォーマッタインストラクションが実行されると、フォーマッタ割込み2(レジスタCEH[3])が発生される。

【0070】ビット2 フォーマッタ割込み1：このビットがセットされたフォーマッタインストラクションが実行されると、フォーマッタ割込み1(レジスタCEH[2])が発生される。

【0071】ビット1 フォーマッタ割込みタイミング：このビットがリセットされる時には、インストラクションの最初のセクタの始めにフォーマッタ割込みが発生されることになる。セットされる時には、インストラクションの最後のセクタの始めにフォーマッタ割込みが

発生されることになる。

【0072】ビット0 フォーマッタストップ：フォーマッタは、このビットがセットされたインストラクションの実行の後にストップすることになる。

【0073】9.1.4 バイト3：メインチャネル符号化制御

ビット7 予約

ビット6 ディセーブル・階層化されたECC符号化：このビットがセットされる時、階層化されたECCの冗長計算がディセーブルされる。この制御ビットは、テスト目的のものにすぎない。

【0074】ビット5 ロードセクタヘッダ：このビットがセットされる時には、セクタヘッダレジスタは、インストラクションの始めに保持レジスタの内容によりアップデートされ、その後、すべてのセクタでインクリメントされ続ける。リセットされる時には、セクタヘッダレジスタは、すべてのセクタでインクリメントされ続ける。

【0075】ビット4 メインチャネルデータソースセレクト：このビットがリセットされる時には、フォーマッタは、ディスクアドレスポインタ(DAP)によりアドレスリングされたバッファからメインチャネルデータを取り出す。セットされる時には、メインチャネルデータは、交互ディスクアドレスポインタ(ADAP)から取り出される。

【0076】ビット3 XA ECC符号化モード：XAタイプのセクタの場合(フォーム-1あるいはフォーム-2のいずれでも)、このビットがセットされる時には、ECC符号化のタイプが、セクタのサブヘッダフィールド(第18のバイト)におけるサブモードビットにより決定される。このビットがリセットされる時には、このレジスタのビット2：0におけるセクタタイプの選択のみにより決定される。

【0077】ビット2：0 セクタタイプ：これらのビットは、メインチャネルのセクタタイプを規定する。この情報は、データ転送のあいだのそれぞれのフィールドのサイズを決定するのに用いられ、また、ECC符号化のセクタタイプを決定するのにも用いられる。

【0078】000=CDオーディオ

100=モード-0またはモード-2

101=モード-1

110=モード-2、フォーム-1

111=モード-2、フォーム-2

9.1.5 バイト4：メインチャネルデータ転送制御

ビット7 予約

ビット6：0 メインチャネルデータ転送制御：それぞれのビットは、CD-ROM符号化のあいだ、バッファメモリ(DAPまたはADAPのいずれか)からのセクタの対応するフィールドの取り出しを制御する。それぞれのビットの1は、バッファメモリからのデータ転送を

イネーブルする。それぞれのビットの0は、バッファメモリからのデータ転送を抑制する。バッファからデータを転送しない場合、対応するフィールドは、フォーマットにより発生されたデータによりオーバーライトされる必要がある（インストラクションバイト5は、データを発生するのに用いられる）。データフィールド（ビット4）のサイズおよびどのフィールドがイネーブルされるかは、インストラクションバイト3のビット2：0により選択されたセクタタイプに依存している。

【0079】ビット6＝シンクマーク（12バイト）を転送

ビット5＝ヘッダフィールド（4バイト）を転送

ビット4＝サブヘッダフィールド（8バイト）を転送

ビット3＝データフィールド（2048、2324、2336または2352バイト）を転送

ビット2＝EDCフィールド（4バイト）を転送

ビット1＝ゼロフィールド（8バイト）を転送

ビット0＝ECCフィールド（276バイト）を転送

9. 1. 6 バイト5：メインチャネルデータオーバーライト制御

ビット7 予約

ビット6：0 メインチャネルデータオーバーライト制御：それぞれのビットは、CD-ROM符号化のあいだ、セクタの対応するフィールドのオーバーライト機能をイネーブルまたはディセーブルする。それぞれのビットの1は、対応するフィールドを固定されたパターン（複数の0またはレジスタの内容）でオーバーライトすることをイネーブルする。それぞれのビットの0は、オーバーライトをディセーブルする。データフィールド（ビット1）のサイズおよびどのフィールドがイネーブルされるかは、インストラクションバイト3のビット2：0により選択されたセクタタイプに依存している。

【0080】ビット6＝シンクパターン（12バイト）によりオーバーライト

ビット5＝ヘッダを現在のセクタヘッダ（レジスタDOH-D2H）およびインストラクションバイト6におけるモードバイト（4バイト）によりオーバーライト

ビット4＝サブヘッダ（8バイト）をオーバーライト

ビット3＝データフィールドを複数の0（2048、2324、2336または2352バイト）でオーバーライト

ビット2＝予約

ビット1＝ゼロフィールドを複数の0（8バイト）でオーバーライト

ビット0＝EDC/ECC（4+276バイト）を発生

注：サブヘッダの場合、複数の00Hからなる8バイトは、モード-2、フォーム-1に合わせてオーバーライトされる。固定されたパターン「00H、00H、20H、00H、00H、00H、20H、00H」は、モード-2、フォーム-2に合わせてオーバーライトされ

る。

【0081】9. 1. 7 バイト6：ヘッダモードバイト

ビット7：0 ヘッダモードバイト：このバイトは、もしインストラクションバイト5のビット3がセットされれば、CD-ROM符号化のあいだ、セクタヘッダにおけるモードバイトをオーバーライトするのに用いられる。

【0082】9. 1. 8 バイト7：サブコード符号化制御1

ビット7：予約

ビット6：ディセーブル・サブQ CRC発生：このビットがセットされる時、もしサブQがホストから転送されれば、サブQ CRC冗長計算は、ディセーブルされる。このビットは、テストのためのものにすぎない。

【0083】ビット5：4 サブQ符号化モード：これらのビットは、サブコード符号化のあいだサブQコードのソースを指定する。

【0084】00＝オーバーライト禁止、ホストからのデータを使用

01＝インストラクションにより発生されたデータによりオーバーライト

10＝TOCアドレスポイントからのデータによりオーバーライト

11＝予約

ビット3：2 サブP符号化モード：これらのビットは、サブコード符号化のあいだサブPコードへのオーバーライトを制御する。

【0085】00＝オーバーライト禁止、ホストからのデータを使用

01＝トグルされた0/1（2Hz、1から始まる）によりオーバーライト

10＝すべて0によりオーバーライト

11＝すべて1によりオーバーライト

ビット1：0 サブコードデータ転送タイプ：これらのビットは、ホストからのデータ転送のあいだのサブコードのタイプを制御する。

【0086】0X＝ホストからのサブコードデータなし
10＝サブQデータ（16バイト）

11＝すべてのサブコードデータ（96バイト）

9. 1. 9 バイト8：サブコード符号化制御2

ビット7：6 予約

ビット5 R-タイムディレクション：このビットがリセットされる時には、サブQ R-タイム（レジスタX XH）がすべてのセクタでインクリメントされる。セットされる時には、R-タイムがすべてのセクタでデクリメントされる。

【0087】ビット4 R-タイムロード：このビットがセットされる時には、インストラクションの始めに、

サブQ R-タイム (レジスタXXH) には保持レジスタからの新しい値がロードされ、すべてのセクタにおいてインクリメントまたはデクリメントされ続ける。リセットされる時には、新しい値がロードされず、R-タイムはインクリメントまたはデクリメントされる。

【0088】ビット3 A-タイムロード: このビットがセットされる時には、インストラクションの始めに、サブQ A-タイム (レジスタXXH) には保持レジスタからの新しい値がロードされ、すべてのセクタにおいてインクリメントされ続ける。リセットされる時には、新しい値がロードされず、A-タイムはインクリメントされる。

【0089】ビット2 イネーブル・サブコードR-W インタリーブ: このビットがセットされる時には、サブコードR-Wデータは、記録のあいだインタリーブされる。

【0090】ビット1 イネーブル・サブコードR-W ECC符号化: このビットがセットされる時には、符号化サブコードR-W ECCがイネーブルされる。リセットされる時には、サブコードR-W ECCはディセーブルされる。

【0091】ビット0 イネーブルコピー交互: このビットがセットされる時には、コピービット (サブQにおける制御フィールド内の第3ビット) は、4つのセクタ毎に0および1を交互にとる。

【0092】9. 1. 10 バイト9: デフォルトサブQインデックスロー

ビット7: 0 デフォルトサブQインデックスロー: このレジスタは、何らかのサブQ IDが挿入されない限り、デフォルトサブQコードとして用いられる16ビットインデックスナンバのローバイト (ビット7~0) を含む。

【0093】9. 1. 11 バイト10: デフォルトサブQインデックスハイ

ビット7: 0 デフォルトサブQインデックスハイ: このレジスタは、何らかのサブQ IDが挿入されない限り、デフォルトサブQコードとして用いられる16ビットインデックスナンバのハイバイト (ビット15~8) を含む。

【0094】9. 1. 12 バイト11: サブQ ID 1インデックス

ビット7: 0 サブQ ID 1インデックス: このインデックスは、サブQ ID 1カウンタがサブQ ID 1インタバルカウント (レジスタXXH) と一致する時、バッファメモリ内のどのサブQ IDが符号化に用いられるかを指定する。バッファ内での10バイトのサブQ IDの実際の位置は、以下の方程式により計算される。

【0095】サブQ IDアドレス=ベース+ (インデックス×10)

9. 1. 13 バイト12: サブQ ID 2インデック

ス

ビット6: 0 サブQ ID 2インデックス: このインデックスは、サブQ ID 2カウンタがサブQ ID 2インタバルカウント (レジスタXXH) と一致する時、バッファメモリ内のどのサブQ IDが符号化に用いられるかを指定する。バッファ内での10バイトのサブQ IDの実際の位置は、以下の方程式により計算される。

【0096】サブQ IDアドレス=ベース+ (インデックス×10)

9. 1. 14 バイト13: サブQ ID 3インデックス

ビット7: 0 サブQ ID 3インデックス: このインデックスは、サブQ ID 3カウンタがサブQ ID 3インタバルカウント (レジスタXXH) と一致する時、バッファメモリ内のどのサブQ IDが符号化に用いられるかを指定する。バッファ内での10バイトのサブQ IDの実際の位置は、以下の方程式により計算される。

【0097】サブQ IDアドレス=ベース+ (インデックス×10)

9. 1. 15 バイト14: サブQ ID 4インデックス

ビット7: 0 サブQ ID 4インデックス: このインデックスは、サブQ ID 4カウンタがサブQ ID 4インタバルカウント (レジスタXXH) と一致する時、バッファメモリ内のどのサブQ IDが符号化に用いられるかを指定する。バッファ内での10バイトのサブQ IDの実際の位置は、以下の方程式により計算される。

【0098】サブQ IDアドレス=ベース+ (インデックス×10)

9. 1. 16 バイト15: サブQ ID挿入制御

ビット7 サブQ ID 4カウンタロード: このビットがセットされる時には、サブQ ID 4カウンタは、インストラクションの始めに、サブQ ID 4オフセットレジスタの内容により初期化され、その後、すべてのセクタにおいて連続的にインクリメントされる。リセットされる時には、サブQ ID 4カウンタは、インストラクションのあいだは初期化されず、すべてのセクタにおいて連続的にインクリメントされる。

【0099】ビット6 サブQ ID 4挿入イネーブル: このビットがセットされる時には、サブQ ID 4挿入がイネーブルされる。リセットされる時には、サブQ ID 4はディセーブルされる。

【0100】ビット5 サブQ ID 3カウンタロード: このビットがセットされる時には、サブQ ID 3カウンタは、インストラクションの始めに、サブQ ID 3オフセットレジスタの内容により初期化され、その後、すべてのセクタにおいて連続的にインクリメントされる。リセットされる時には、サブQ ID 3カウンタは、インストラクションのあいだは初期化されず、すべてのセクタにおいて連続的にインクリメントされる。

【0101】ビット4 サブQ ID3挿入イネーブル：このビットがセットされる時には、サブQ ID3挿入がイネーブルされる。リセットされる時には、サブQ ID3はディセーブルされる。

【0102】ビット3 サブQ ID2カウンタロード：このビットがセットされる時には、サブQ ID2カウンタは、インストラクションの始めに、サブQ ID2オフセットレジスタの内容により初期化され、その後、すべてのセクタにおいて連続的にインクリメントされる。リセットされる時には、サブQ ID2カウンタは、インストラクションのあいだは初期化されず、すべてのセクタにおいて連続的にインクリメントされる。

【0103】ビット2 サブQ ID2挿入イネーブル：このビットがセットされる時には、サブQ ID2挿入がイネーブルされる。リセットされる時には、サブQ ID2はディセーブルされる。

【0104】ビット1 サブQ ID1カウンタロー

ド：このビットがセットされる時には、サブQ ID1カウンタは、インストラクションの始めに、サブQ ID1オフセットレジスタの内容により初期化され、その後、すべてのセクタにおいて連続的にインクリメントされる。リセットされる時には、サブQ ID1カウンタは、インストラクションのあいだは初期化されず、すべてのセクタにおいて連続的にインクリメントされる。

【0105】ビット0 サブQ ID1挿入イネーブル：このビットがセットされる時には、サブQ ID1挿入がイネーブルされる。リセットされる時には、サブQ ID1はディセーブルされる。

【0106】9.2 フォーマットインストラクションの要旨

フォーマットインストラクションを表1～表4に示す。

【0107】

【表1】

ビット	ビット	ビット数	記述
ビット0	7:0	8	ブロック・カウント・ロー(ビット7～0)
ビット1	7:0	8	ブロック・カウント・ハイ(ビット15～8)
ビット2	7	1	拡張・ブロック・カウント 0=16ビット・ブロック・カウント 1=19ビット・ブロック・カウント
	6:4	3	予約
	3	1	フォーマット割込み 2
	2	1	フォーマット割込み 1
	1	1	フォーマット割込みタイミグ 0=最初のセクタで割込み 1=最後のセクタで割込み
	0	1	フォーマットストップ
ビット3	7	1	予約
	6	1	ディセーブル・階層化された ECC
	5	1	保持レジスタからセクタ・ヘッダをロード
	4	1	マイソ・チャネル・デ・タ・ソース 0=DAP から、1=ADAP から
	3	1	XA ECC 符号化モード 0=セクタ・タイフに従う、1=47ヘッダに従う
	2:0	3	セクタ・タイフ 000=CDデ・イ 100=モード-0 またはモード-2 101=モード-1 110=モード-2、フォーム 1 111=モード-2、フォーム 2

【0108】

【表2】

バイト4	7	1	予約
	6:0	7	メイン・チャネル・データ転送制御 ビット6=シフト・マーク(12バイト) ビット5=ヘッダ(4バイト) ビット4=サブ・ヘッダ(8バイト) ビット3=データ(2048、2324、2336 または 2352バイト) ビット2=EDC(4バイト) ビット1=セクタ(8バイト) ビット0=ECC(276バイト)
バイト5	7	1	予約
	6:0	7	メイン・チャネル・データ・オーバ・ライト制御 ビット6=シフト・マーク(12バイト) ビット5=ヘッダ(4バイト) ビット4=サブ・ヘッダ(8バイト) ビット3=データ(2048、2324、2336 または 2352バイト) ビット2=予約 ビット1=セクタ(8バイト) ビット0=EDC/ECC(4+276バイト)
バイト6	7:0	8	ヘッダ・モード・バイト
バイト7	7	1	予約
	6	1	ディセプトル・サブ・Q CRC 発生
	5:4	2	サブ・Q 符号化モード 00=オーバ・ライト禁止、ホストからのデータを使用 01=インストラクションにより発生される 10=TOC からビット 11=予約

【0109】

【表3】

バイト7	3:2	2	サブP符号化モード 00=オーバーライト禁止、ホストからのデータを使用 01=トル0/1 (2 Hz、1に始まる) 10=すべて0 11=すべて1
	1:0	2	サブコード・データ転送タイプ 0X=ホストからのサブコードなし 10=16ビットのサブQ 11=96ビット、すべてのサブコード
バイト8	7:6	2	予約
	5	1	R-タイム・セレクション 0=インクリメント、1=デクリメント
	4	1	R-タイム・ロート 0=継続、1=ロートおよび継続
	3	1	A-タイム・ロート 0=継続、1=ロートおよび継続
	2	1	イネーブル・サブコードR-ウィタリーフ 0=インタリーフ禁止、1=インタリーフ
	1	1	イネーブル・サブコードR-W ECC 0=ディセーブル、1=イネーブル
	0	1	コヒ-交互 0=固定されたコヒ-ビット、1=交互にコヒ-ビット
バイト9	7:0	8	デフォールト・サブQインデックス・ロー・バイト
バイト10	7:0	8	デフォールト・サブQインデックス・ハイ・バイト
バイト11	7:0	8	サブQ ID1インデックス
バイト12	7:0	8	サブQ ID2インデックス
バイト13	7:0	8	サブQ ID3インデックス

【0110】

【表4】

バイト14	7:0	8	77 ^Q ID4インデックス
バイト15	7	1	77 ^Q ID4カクソタ・ロト [*] 0=継続、1=ロト [*] および継続
	6	1	77 ^Q ID4イネ・フル 0=挿入をディセ・フル、1=挿入をイネ・フル
	5	1	77 ^Q ID3カクソタ・ロト [*] 0=継続、1=ロト [*] および継続
	4	1	77 ^Q ID3イネ・フル 0=挿入をディセ・フル、1=挿入をイネ・フル
	3	1	77 ^Q ID2カクソタ・ロト [*] 0=継続、1=ロト [*] および継続
	2	1	77 ^Q ID2イネ・フル 0=挿入をディセ・フル、1=挿入をイネ・フル
	1	1	77 ^Q ID1カクソタ・ロト [*] 0=継続、1=ロト [*] および継続
	0	1	77 ^Q ID1イネ・フル 0=挿入をディセ・フル、1=挿入をイネ・フル

【0111】

【発明の効果】本発明によれば、十分なスループットパフォーマンスをもち、十分な速度で制御信号を発生することができるCD-Rコントローラを提供することができる。

【図面の簡単な説明】

【図1】CD-Rコントローラと、ホストプロセッサと、CD-Rドライブと、マイクロコントローラと、RAMと、ROMとを備えた従来の技術によるコンピュータシステムのブロック図である。

【図2】CD-Rフォーマッタおよび記録回路を含む本発明によるコンピュータシステムのブロック図である。

【図3】本発明のCD-Rフォーマッタにより、記録回路へと制御信号を発生するのに用いられるインストラクションのフォーマットを示す図である。

【図4】CD-Rディスク上に、信号データを表す信号を記録するためにコンピュータシステムにより用いられる従来技術の方法を示すフローチャートである。

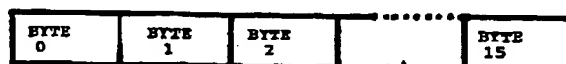
【図5】CD-Rディスク上に、ホストから受け取られた信号データを表す信号を記録するために本発明によるコンピュータシステムにより用いられる方法を示すフロ

ーチャートである。

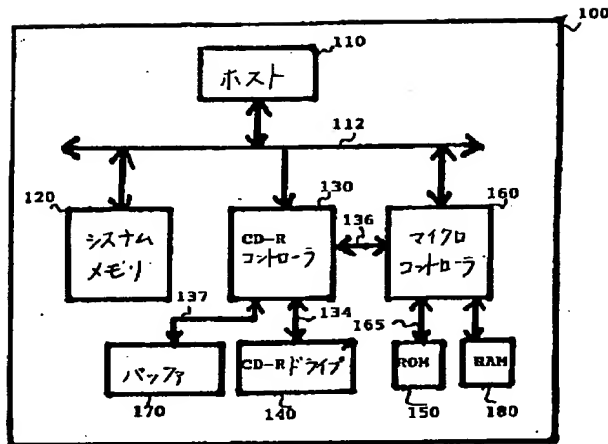
【符号の説明】

- 220 EFM変調器
- 230 CIRCエンコーダ
- 240 SRAM-C
- 250 記録レーザタイミング制御
- 260 セクタバッファ
- 270 セクタバッファ
- 280 階層化されたECCエンコーダ
- 290 ATIPデコーダおよびサーチロジック
- 300 CD-Rコントローラ
- 305 ホストプロセッサ
- 306 CD-Rドライブ
- 310 デコーダ
- 320 階層化されたECC訂正
- 350 バッファマネージャ
- 360 ホストインタフェース
- 380 バッファ
- 390 マイクロコントローラ
- 391 ROM
- 392 RAM

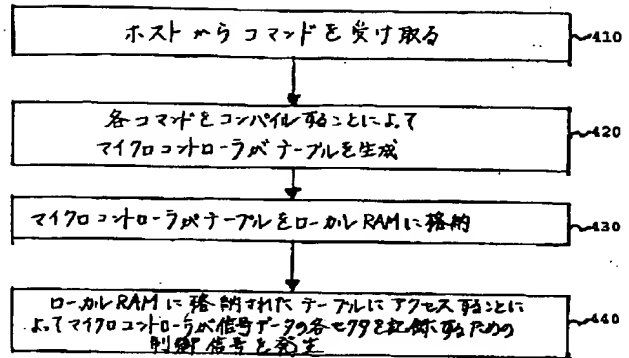
【図3】



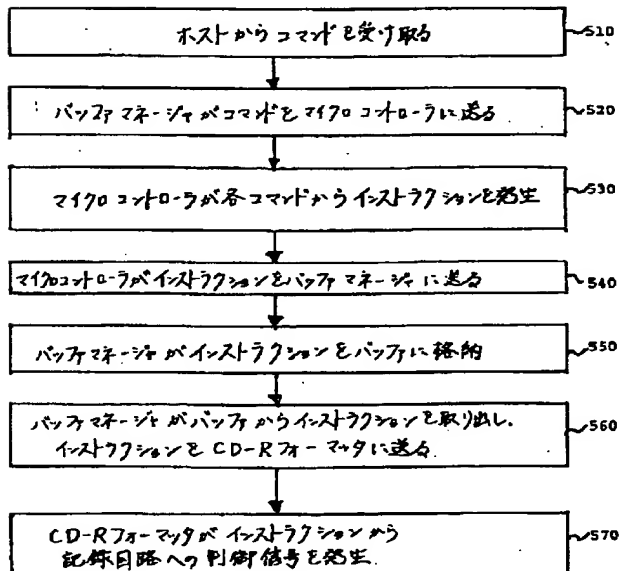
【図1】



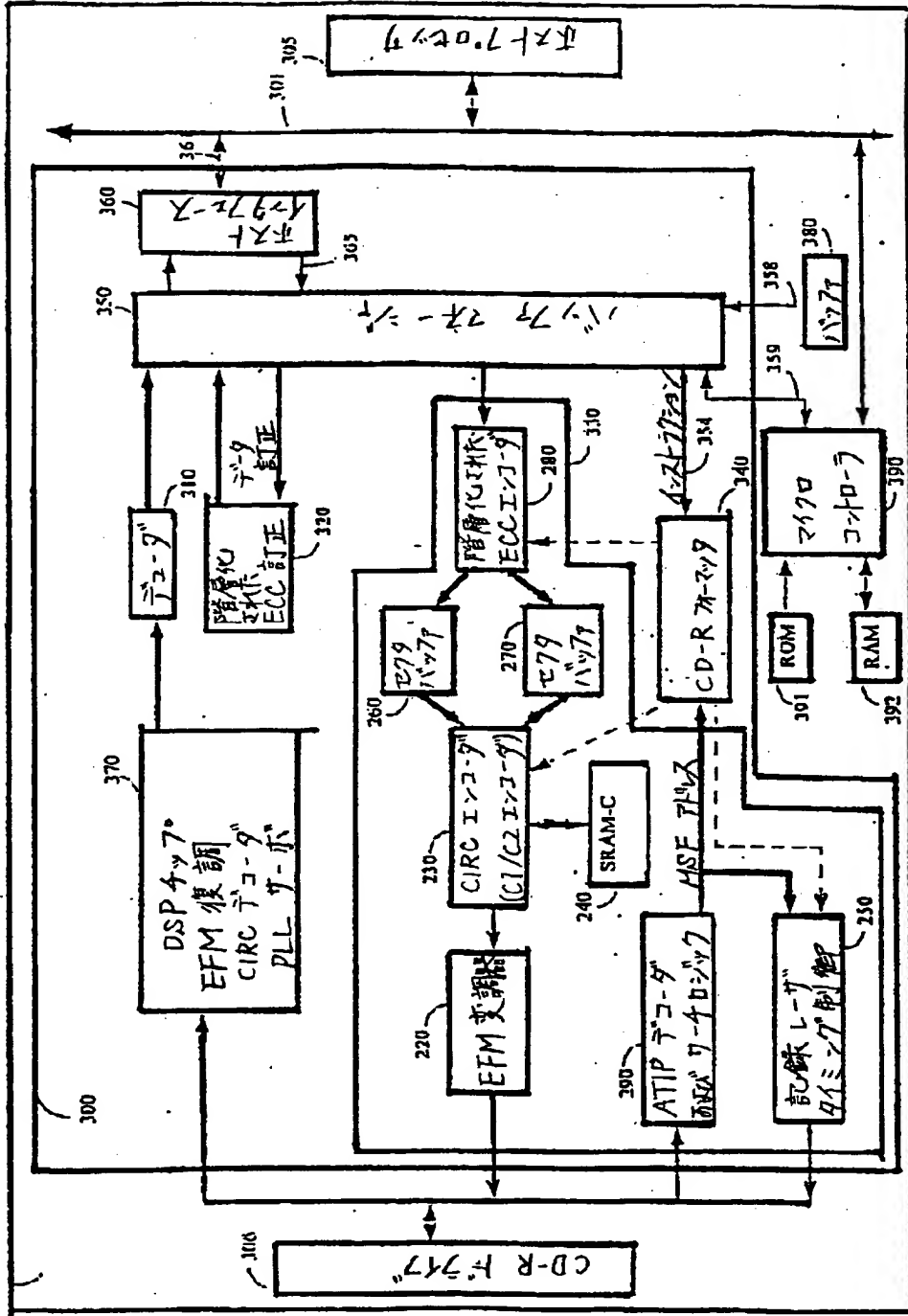
【図4】



【図5】



【圖 2】



フロントページの続き

(71)出願人 595158337

3100 West Warren Avenue,
Fremont, California
94538, U. S. A.